

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11296245 A

(43) Date of publication of application: 29.10.99

(51) Int. Cl

G05F 3/26

G05F 3/24

H02J 1/00

H03F 1/00

H03K 17/04

H03K 17/687

(21) Application number: 10103004

(71) Applicant: NEC CORP

(22) Date of filing: 14.04.98

(72) Inventor: KOBAYASHI KATSUTARO

(54) SEMICONDUCTOR CIRCUIT

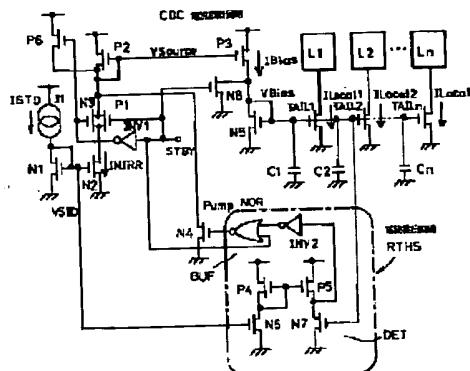
(57) Abstract:

PROBLEM TO BE SOLVED: To set up the biasing time of a semiconductor circuit for temporarily increasing current supply and biasing it to an optimum value independently of power supply voltage, ambient temperature, manufacturing characteristics and parasitic capacity by supplying an operation bias current to load circuits, stopping current supply in a stand-by state circuits, stopping current supply in a stand-by state and shortening restoration time when restoring an operation state from the stand-by state.

SOLUTION: At the time of restoration to an operation state, current supply to a current driving circuit(CDC) for inputting a signal to a restoring transistor(TR) N4 and supplying a bias current to load circuits L1 to Ln is increased. A restoration speeding-up circuit RTHS for inputting the signal to the TR N4 is constituted as a current detection circuit, wherein the bias current supplied to the load circuits L1 to Ln is compared with a constant current and signal input to the TR N4 is controlled based on the compared result to determine supply time of the bias current. Consequently adjustment of a delay due to power supply voltage, ambient temperature, characteristic deviations of manufacture, a difference of parasitic capacity, etc., is not required.

the bias time can be held at a proper time without being shortened or excessively extended and restoration time from the stand-by mode can be shortened.

COPYRIGHT: (C)1999,JPO



(45)発行日 平成13年3月19日 (2001.3.19)

(24)登録日 平成13年1月12日 (2001.1.12)

(51)Int.Cl.¹
 G 05 F 3/26
 3/24
 H 02 J 1/00
 H 03 F 1/00
 H 03 K 17/04

識別記号

3 0 7

F I
 G 05 F 3/26
 3/24 A
 H 02 J 1/00 3 0 7 F
 H 03 F 1/00 Z
 H 03 K 17/04 E

請求項の数 5 (全 7 頁) 最終頁に続く

(21)出願番号 特願平10-103004
 (22)出願日 平成10年4月14日 (1998.4.14)
 (65)公開番号 特開平11-296245
 (43)公開日 平成11年10月29日 (1999.10.29)
 (審査請求日 平成10年4月14日 (1998.4.14))

(73)特許権者 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72)発明者 小林 勝太郎
 東京都港区芝五丁目7番1号 日本電気
 株式会社内
 (74)代理人 100081433
 弁理士 鈴木 章夫
 審査官 荘司 英史
 (56)参考文献 特開 昭56-157511 (JP, A)
 特開 平2-113314 (JP, A)
 (58)調査した分野(Int.Cl.¹, DB名)
 G05F 3/26
 G05F 3/24

(54)【発明の名称】 半導体回路

1

(57)【特許請求の範囲】

【請求項1】 定電流発生回路と、前記定電流発生回路の定電流に基づいて負荷回路にバイアス電流を供給し、かつその供給するバイアス電流を増大可能な電流駆動回路と、半導体回路においてスタンバイ状態から動作状態への復旧時に前記電流駆動回路でのバイアス電流の増大動作を実行させる復旧用素子と、前記復旧時に前記復旧用素子を動作させるための信号を出力する復帰時間高速化回路とを備える半導体回路において、前記復帰時間高速化回路は、前記定電流と前記バイアス電流とを比較し、前記バイアス電流が前記定電流よりも小さいときに前記復旧用素子に信号を出力する電流検出回路で構成されることを特徴とする半導体回路。

【請求項2】 前記電流検出回路は、前記定電流とバイアス電流とを比較する電流検出部と、前記電流検出部の

2

出力とスタンバイ信号とを入力するバッファ部とを備え、前記バッファ部の出力により前記復旧用素子をオン動作するように構成される請求項1に記載の半導体回路。

【請求項3】 前記バッファ部には帰還素子が接続され、前記バッファ部の出力にヒステリシスが付与されている請求項2に記載の半導体回路。

【請求項4】 前記電流駆動回路は、前記定電流発生回路を含むカレントミラー回路として構成される請求項1ないし3のいずれかに記載の半導体回路。

【請求項5】 前記負荷回路には、前記電流駆動回路とでカレントミラー回路を構成するバイアス回路が設けられる請求項1ないし4のいずれかに記載の半導体回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、動作バイアス電流を供給する半導体回路において、特にスタンバイ状態時には電流の供給をやめ、スタンバイ状態から動作状態に復旧する際に復旧時間を短くするため、一時的に電流供給を増加したバイアスを行う半導体回路に関する。

【0002】

【従来の技術】従来より、一定の基準電流をバイアスとして動作されるアナログ回路は数多く提供されているが、このような回路では、動作状態ではほぼ一定の電流を消費するが、スタンバイ時に電流をバイアスし続けると無駄な電流を消費することになる。この無駄な電流を削減するためには、スタンバイ時に電流のバイアスをストップし、再び動作を開始する時に電流供給を再開すればよい。しかし、システムの性能向上の要求から、スタンバイ状態から動作状態への復帰時間の短縮が必要とされており、この場合には電流供給再開から目標電流値に達するまでの時間を短縮することが必要となる。

【0003】例えば、このようなスタンバイ状態から動作状態の復帰時間の短縮が要求される従来例の回路の一例を図5に示す。定電流発生回路I1は、基準となる定電流ISTDを発生し、接点VSTDからNチャネルトランジスタN1に供給する。NチャネルトランジスタN1はソースをGNDに接続し、ゲートとドレインを接点VSTDに短絡しており、ソースをGNDに接続したNチャネルトランジスタN2とで電流ミラー回路を構成している。したがって、NチャネルトランジスタN1とN2のゲート幅、ゲート長が等しければ、電流ISTD=IMIRRとなる。NチャネルトランジスタN1とN2のサイズ比を変えることでIMIRRの値は変えることができる。また、前記NチャネルトランジスタN2はドレインを信号STBYで制御されるNチャネルトランジスタN3とPチャネルトランジスタP3からなるトランジアスイッチを介して、PチャネルトランジスタP2のドレイン、接点VSOURCEと接続される。前記PチャネルトランジスタP2はソースを電源に接続し、ドレインとゲートを接点VSOURCEに短絡しており、ソースを電源に接続したPチャネルトランジスタP3とで電流ミラー回路を構成している。なお、前記PチャネルトランジスタP2の電流IMIRRとPチャネルトランジスタP3の電流IBiasは、両トランジスタP2とP3のサイズ比を変えることで変更できる。前記PチャネルトランジスタP3はドレインの接点VBiasをNチャネルトランジスタN5のドレインに接続し、このNチャネルトランジスタN5はソースをGNDに接続し、ゲートとドレインを接点VBiasに短絡している。

【0004】回路L1～Lnはアンプなどのように、バイアス電流によって動作する回路であり、回路構成は任意である。例えば、回路L1～Lnの回路例として図8の回路が採用されており、この回路は抵抗を使った差動

入出力アンプの回路図である。一組の数十～数百mVの振幅の相補入力IN, INBと、入力トランジスタTIN, TINB、二つの抵抗素子R, RBを持ち、数百mVの振幅の相補出力OUT, OUTBとして出力する。なお、ここでは図5に示されるNチャネルトランジスタからなる電流供給トランジスタTAIL1～nを含んだものとして記載されている。前記TAILはゲートに入力される信号VBiasのレベルにより電流値を制御されるが、VBiasのレベルが低い場合、電流量が不足し、出力OUT, OUTBの振幅が小さくなり所望のゲインが得られなくなる。逆に、VBiasのレベルが高い場合、コモンモード接点COMNの電位が低くなり、想定したIN, INBの振幅レベルでは入力トランジスタTIN, TINBが両方オン状態となり出力OUT, OUTBの振幅電圧域がずれたり、最悪、差動アンプとして動作しなくなる可能性がある。いずれの場合にも小振幅のIN, INBを検出、増幅する回路の目的に対し、感度の劣化を招くため、VBiasのレベルの制御は大変重要となる。

【0005】図5に示したように、前記回路L1～Lnは、電流源としてソースをGNDに接続したNチャネルトランジスタTAIL1～nを含んでおり、これらTAIL1～nそれぞれはNチャネルトランジスタN5と電流ミラー回路を構成している。NチャネルトランジスタN5の電流IBiasとTAIL1～nの電流ILocal1～nの比率は、NチャネルトランジスタN5とTAIL1～nのサイズ比を変えることで変更できる。通常、スタンバイモードでの消費電流を小さくするため、ISTD, IMIRRは数十μA程度の小さな値とし、IBiasやILocalを大きくするよう各トランジスタのサイズを設定する。また、PチャネルトランジスタP6はソースを電源に、ドレインを接点VSOURCEに接続され、ゲートをインバータINV1により反転したSTBY信号が入力している。NチャネルトランジスタN8はソースをGNDに、ドレインを接点VBiasに接続されゲートにSTBY信号が入力される。

【0006】さらに、NチャネルトランジスタN4とパルス発生回路PGENで、スタンバイ状態からの復帰時間短縮のため、一時的に電流を増加する復帰時間高速化回路を構成している。前記NチャネルトランジスタN4はソースをGNDに、ドレインをVSOURCEに接続し、ゲートをパルス発生回路PGENの出力接点Pumpに接続されており、パルス発生回路PGENの出力パルスにより制御される。前記パルス発生回路PGENはSTBY信号が入力し、STBY信号が“H”から“L”に変化した後一定時間だけHレベルのパルスを出力するよう構成されている。図7にパルス発生回路PGENの回路例を示す。このパルス発生回路PGENは、インバータINV、ノア回路NOR、遅延回路Delayからなり、STBY信号がHからLレベルに変化した

ときだけ遅延回路 Delay とインバータ INV の遅延分の H レベルのパルスを発生する。パルスの幅は遅延回路 Delay の遅延を変更することで調整可能である。

【0007】次に、従来例の動作について説明する。スタンバイ状態では、STBY 信号が H レベルであり、N3, P1 はオフに、N8, P6 はそれぞれオン状態になっている。これにより、接点 VSource は H レベルであり P2, P3 は電流 IMIRR、及び IBias はゼロである。また接点 VBIAS は L レベルであり、N5, TAIL1~n はオフし、電流 ILocal1~n もゼロであり、基準となる電流 ISTD 以外がゼロになるため、回路全体の消費電流を小さな値にできる。このとき接点 Pump は L レベルであり、N4 はオフ状態にある。

【0008】動作状態では、STBY 信号が L レベルであり、N3, P1 はオンに、N8, P6 はそれぞれオフ状態になっている。したがって、電流 IMIRR は電流 ISTD に対し、N1 と N2 のサイズ比で決まる電流値となる。同様に、電流 IBias も電流 IMIRR に対し P2 と P3 のサイズ比で決まる電流値となっている。さらに、電流 ILocal1~n も電流 IBias に対し、N5 と TAIL1~n のサイズ比で決まる電流値となっている。このとき接点 Pump は L レベルであり、N4 はオフ状態にある。また接点 VSource は P2 が電流 IMIRR を生じるのに相当する電圧 VP を保ち、同様に接点 VBIAS も N5 が電流 IBias を生じるのに対応する電圧 VN を保つ。

【0009】そして、一旦スタンバイ状態になった後、動作状態に復帰するときは STBY 信号を "H" から "L" に変化させる。STBY 信号が L レベルに変化することにより、接点 VSource, VBias, 電流 IMIRR, IBias 及び ILocal1~n は動作状態に復帰していくが、完全に戻らない状態では回路 L1~Ln の動作の安定性、信頼性が劣化する。

【0010】このように回路 L1~Ln におけるスタンバイモードからの復帰時間高速化の必要性を明らかにするため、N4 とパルス発生回路 PGEN で構成される復帰時間高速化回路が存在していないとした場合の動作について説明する。図 6 (a) は、このような復帰時間高速化回路がない場合の動作を表すタイミング図である。STBY 信号が L レベルになることにより、接点 VSource は H レベルから VP へ N2 によって放電され、接点 VBias は L レベルから VN へ P3 によって充電を開始する。また、接点 VSource 及び接点 VBias にはこの接点に接続している TR のゲート、ドレイン容量と配線の寄生容量が存在し、各接点の動作適正電位 VP, VN に到達するにある程度時間が必要になる。特に VBias は各回路 L1~Ln に対し比較的長い距離を引き回されるため、少なくとも数 pF ~ 数十 pF という大きな寄生容量が付加している。さらに、N2

が流せる電流値は、N1 に流れる電流 ISTD に対し N1 と N2 の比で決まる電流値程度の小さな電流値であるため、VSource の電位変化は遅く、その間 P3 の電流値は非常に小さくなるため、接点 VBias の電位の変化は非常に遅く、適正な電位 VN に達するには数 μs もの時間が必要になる。

【0011】これに対し、前記した復帰時間高速化回路を備える場合には、スタンバイ信号が H レベルから L レベル変化した時、パルス発生回路 PGEN が接点 Pump に H のパルスを生じる。接点 Pump が H レベルの間、N4 はオン状態になり、接点 VSource を L レベル近くに下げる。接点 VSource が L レベル近くまで下がると、P3 の電流値は通常動作時よりもはるかに大きな値となり、接点 Vbias を高速に充電することになる。

【0012】

【発明が解決しようとする課題】しかしながら、このようなパルス発生回路 PGEN を含む復帰時間高速化回路では、VBias が適当な目標動作レベル VN 近くになった時点で接点 Pump を L レベルに出来れば大変高速に動作状態にすることが可能になるが、パルス発生回路 PGEN のパルス幅を決める遅延回路 Delay の特性は、電源電圧、動作温度、製造時のトランジスタ特性等により変動し、また接点 VBias の寄生容量値も製造時の条件などにより変動するため、最適なパルス幅の設定は非常に困難である。このため、図 6 (b) のように、Pump 接点のパルス幅が長すぎる場合には、接点 VBias が目標動作レベルを越えて充電されるため、各回路 L1~Ln の動作電流 ILocal1 も大きな値となる。この場合には、スタンバイ状態からの復帰は比較的早く出来るが、放電する必要がある分時間と電流を消費しなければならない。また適正な動作電流を大きく越えた場合、回路全体に非常に大きな電流が流れ、異常な高温の発生やラッチアップを引き起こすなど、信頼性上の問題も生じかねない。一方、図 6 (c) は Pump 接点のパルス幅が短すぎる場合の動作を示しており、接点 VBias が目標動作レベルに達する前に接点 Pump が L レベルになるため、その時点からの充電に時間がかかり、高速化の効果は小さくなる。

【0013】このように、従来の半導体回路では、スタンバイモードから動作モードへの復帰を高速化する為に一時的に電流値バイアス、増加させるが、遅延回路を用いたパルス回路により増加時間を制御しているため、適正な時間設定が困難で、高速の効果が小さかったり、回路に大きな電流を生じ、異常な高温の発生やラッチアップを引き起こす可能性があるなどの問題があった。

【0014】本発明の目的は、時間設定を行う必要がなく、しかもバイアス時間が不足したり長くなり過ぎることがなく、スタンバイモードからの復旧時間を短縮することが可能な半導体回路を提供することにある。

【0015】

【課題を解決するための手段】本発明の半導体回路は、定電流発生回路と、前記定電流発生回路からの定電流に基づいて負荷回路にバイアス電流を供給し、かつその供給するバイアス電流を増大可能な電流駆動回路と、半導体回路においてスタンバイ状態から動作状態への復旧時に前記電流駆動回路でのバイアス電流の増大動作を実行させる復旧用素子と、前記復旧時に前記復旧用素子を動作させるための信号を出力する復帰時間高速化回路とを備えており、前記復帰時間高速化回路は、前記定電流と前記バイアス電流とを比較し、前記バイアス電流が前記定電流よりも小さいときに前記復旧用素子に信号を出力する電流検出回路として構成したことを特徴とする。特に、前記電流検出回路は、前記定電流とバイアス電流とを比較する電流検出部と、前記電流検出部の出力とスタンバイ信号とを入力するバッファ部とを備えており、前記バッファ部の出力により前記復旧用素子をオン動作させるように構成される。

【0016】本発明の半導体回路では、動作状態への復旧時に、復帰時間高速化回路としての電流検出回路においてバイアス電流と定電流とを比較し、その比較結果に基づいて復旧用トランジスタの信号入力を制御し、バイアス供給時間を設定する。このため、半導体回路における電源電圧、周囲温度、製造時の特性ずれ、寄生容量の違い等にかかわらず、バイアス時間が不足したり長くなり過ぎたりせず、スタンバイ状態から動作状態への復旧時間を短縮することが可能となる。

【0017】

【発明の実施の形態】本発明の実施の形態を図面を参照して説明する。図1は本発明の第1の実施形態のブロック回路図であり、図5に示した従来の構成と同一部分には同一符号を付してある。すなわち、定電流発生回路I1で発生される定電流に基づいて回路L1～Lnにバイアス電流を供給するための電流駆動回路を備えている。この電流駆動回路として、ここでは、前記定電流発生回路I1、NチャネルトランジスタN1、NチャネルトランジスタN2で第1のカレントミラー回路を構成する。また、NチャネルトランジスタN2の電流路に介挿されているPチャネルトランジスタP2とPチャネルトランジスタP3とで第2のカレントミラー回路を構成する。さらに、前記PチャネルトランジスタP3の電流路に介挿されているNチャネルトランジスタN5は、負荷回路のバイアス回路として構成されるNチャネルトランジスタTA1Lとで第3のカレントミラー回路を構成し、各負荷回路にバイアス電流を発生させる。

【0018】また、NチャネルトランジスタN3とPチャネルトランジスタP1は、トランസフアスイッチ回路を構成し、スタンバイ信号STBYによって前記NチャネルトランジスタN2の電流路をオフ状態とする。また、PチャネルトランジスタP6とNチャネルトランジ

スタN8は、スタンバイ信号STBYによって第2のカレントミラー回路及び第3のカレントミラー回路の動作を停止させる。さらに、前記PチャネルトランジスタP2のドレイン及びゲートとGNDとの間にソース・ドレインが接続された復旧用素子としてのNチャネルトランジスタN4が接続されており、このNチャネルトランジスタN4のゲートに復帰時間高速化回路が接続されている。

【0019】前記復帰時間高速化回路RTHSは、スタンバイ状態からの復帰時間短縮のため、電流駆動回路における電流を一時的に増大させるために設けられており、電流検出部DETと、バッファ部BUFとで構成される電流検出回路として構成されている。電流検出部DETは、ソースをGNDに、ゲートを定電流発生回路I1の基準電位となる接点VSTDに接続し、前記NチャネルトランジスタN1と電流ミラー回路を構成したNチャネルトランジスタN6と、ソースを電源にゲートとドレインを短絡し前記NチャネルトランジスタN6のドレインと接続したPチャネルトランジスタP4と、ソースを電源に、ゲートをP4のゲートに接続し、前記PチャネルトランジスタP4とカレントミラー回路を構成するPチャネルトランジスタP5と、ソースをGNDに、ゲートを各回路1～nへの定電流を分配する接点VBiasに、ドレインを前記PチャネルトランジスタP5のドレインに接続したNチャネルトランジスタN7とで構成される。また、前記バッファ部BUFは、前記PチャネルトランジスタP5のドレインに入力が接続されたインバータINV2と、このインバータINV2の出力を一入力とし、STBY信号を他方の入力に接続し、前記復帰用素子としてのNチャネルトランジスタN4のゲートである接点Pumpに出力するノアゲートNORとで構成される。なお、前記NチャネルトランジスタN6とN7のサイズは、動作状態でそれぞれが同じ電流を流すようにサイズを調整する。

【0020】図2は、図1の回路の動作を表すタイミング図である。スタンバイモード時と動作時の動作は従来例と全く同様なため説明は省略する。スタンバイモードから動作モードに変化すると、接点VBiasがLレベルで接点VSTDは常に電流ISTDを発生するのに最適なレベルになっているため電流検出部DETはN7の電流が少ないことを検出し接点PumpにHレベルを供給する。PumpがHレベルの間、接点VSourceがLレベル近くに引き落とされるため、P2及びP3の電流は通常よりもはるかに大きくなり接点VBiasを速やかに充電する。VBiasのレベルが上昇し、最適な動作電圧VNに近づき、N7の電流がN6の電流と同等になった時点で接点PumpはLレベルになるため各部の高速充電は止る。この、結果、接点VSource及び接点VBiasは最適な電圧に速やかに充電される。この回路によれば、電流検出回路RTHSの検出結果

果に基づき高速にバイアスする時間を決定しているため、温度、電圧製造時のトランジスタ特性や、寄生容量等による、バイアス時間の不足あるいは、バイアス時間が過剰に長くなることは起こり得ず、困難な遅延調整を行なう必要もない。

【0021】図3は本発明の第2の実施形態のブロック回路図である。図1と同一部分には同一符号を付してその説明は省略する。この第2の実施形態では、復帰時間の高速化回路としての電流検出回路を構成する電流検出部とバッファ部のうち、バッファ部の一部を変更したものである。すなわち、この実施形態では、バッファ部のN ORに対しヒステリシス特性を設けるために、NORの出力端とINV2の出力端との間にインバータINV3を接続したことを特徴としている。

【0022】図4は第2の実施形態の動作を表すタイミング図である。この第2実施形態のように、NORにヒステリシス特性をもたせることにより、スタンバイモードから動作状態に復帰するときのバイアス時間はやや長くなるものの、ヒステリシス特性により、一旦、電流値が適正值よりも大きくなるが、電流検出判定が変化しに定するという利点を有する。

【0023】

【発明の効果】以上説明したように、動作状態への復帰時に、定電流発生回路で発生される電流を増大可能な電流駆動回路を制御するための復旧用トランジスタに信号を入力するための復帰時間高速化回路として、電流検出回路を設け、バイアス電流と定電流とを比較し、その比較結果に基づいて復旧用トランジスタの信号入力を制御し、バイアス供給時間を設定するように構成しているた*

し、バイアス供給時間を設定するように構成しているた*

*め、電源電圧、周囲温度、製造時の特性ずれ、寄生容量の違い等により遅延調整をする必要がなく、バイアス時間が不足したり長くなり過ぎたりせず、スタンバイモードからの復旧時間を短縮できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のブロック回路図である。

【図2】図1の回路の動作を表すタイミング図である。

【図3】本発明の第2の実施形態のブロック回路図である。

【図4】図3の回路の動作を表すタイミング図である。

【図5】従来の半導体回路のブロック回路図である。

【図6】図5の回路の動作を表すタイミング図である。

【図7】パルス発生回路の一例のブロック回路図である。

【図8】定電流によって動作する回路（負荷回路）の一例としての差動アンプのブロック回路図である。

【符号の説明】

N1～N7, TAIL1～n Nチャネルトランジスタ
P1～P5 Pチャネルトランジスタ

INV, INV1～3 インバータ
L1～Ln 回路（負荷回路）

I1 定電流発生回路

CDC 電流駆動回路

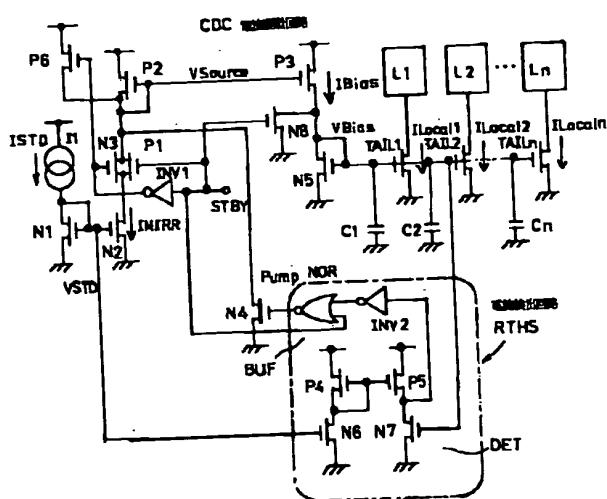
NOR ノアゲート

RTHS 電流検出回路（復帰時間高速化回路）

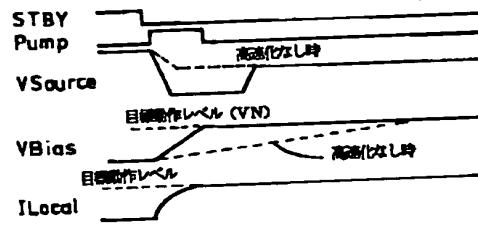
DET 電流検出部

BUF バッファ部

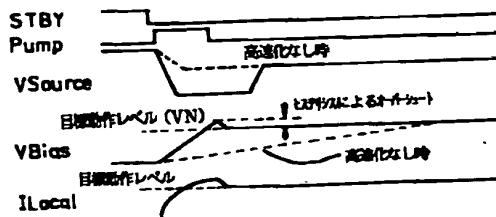
【図1】



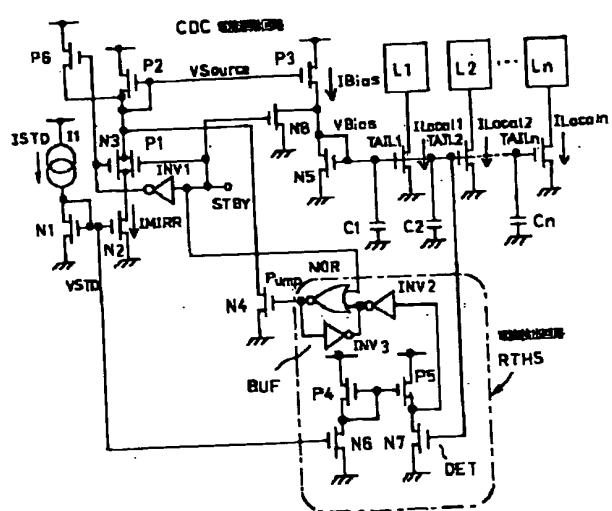
【図2】



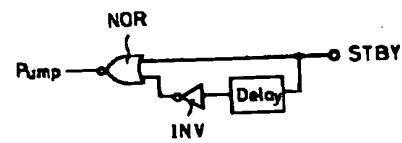
【図4】



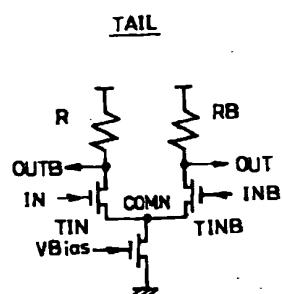
[図 3]



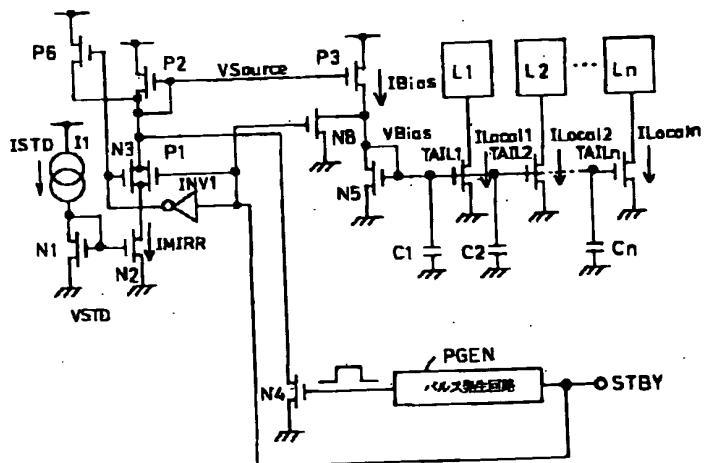
[図 7]



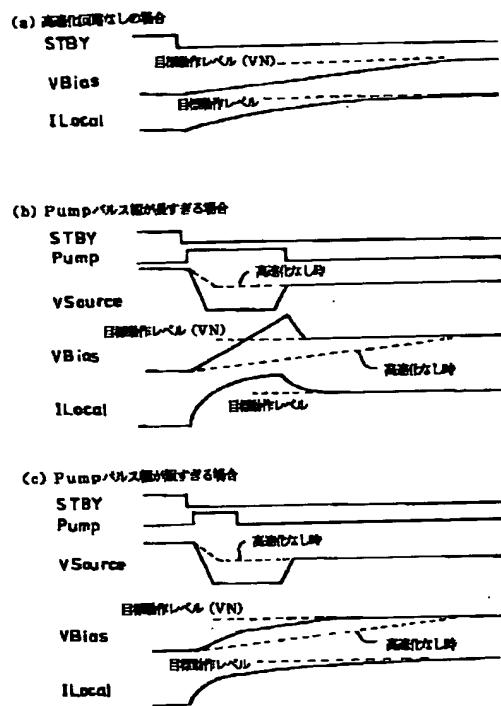
[図 8]



[図 5]



【図 6】



フロントページの続き

(51) Int. Cl. ' H 03 K 17/687

識別記号

F I
H 03 K 17/687

H